

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-060846

(43)Date of publication of application : 26.02.1992

(51)Int.Cl.

G06F 11/18
G06F 11/30
G06F 15/16
G06F 15/78

(21)Application number : 02-172216

(71)Applicant : NEC CORP

(22)Date of filing : 29.06.1990

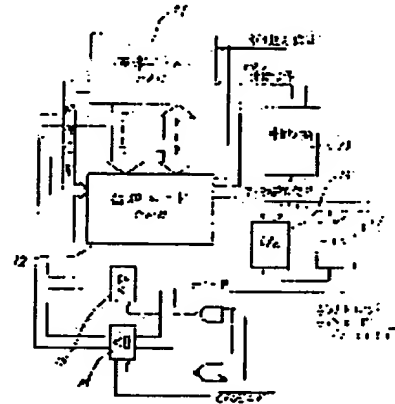
(72)Inventor : IJIMA MAREMOCHI

(54) FAULT TOLERANT COMPUTER

(57)Abstract:

PURPOSE: To facilitate the design of hardware by selecting a latch circuit at the time of an I/O read cycle, and selecting a buffer circuit at the time of a memory read/write cycle and an I/O write cycle in a normal operating state.

CONSTITUTION: The latch circuit 14 takes in data from an I/O 16 as synchronizing with a CPU antiphase clock at the time of the I/O read cycle, and transmits it to both a normal mode CPU 11 and a monitor CPU 12. The buffer circuit 15 transmits the data which the normal mode CPU 11 outputs at the time the memory write cycle and at the time of the I/O write cycle to a memory 17 and the I/O 16, and at the time of the memory read cycle, it transmits the data from the memory 17 to both normal mode CPU 11 and the monitor mode CPU 12. Thus, the design of the hardware is facilitated.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平4-60846

⑮ Int. Cl.³

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)2月26日

G 06 F 11/18
11/30
15/16
15/78

3 1 0	E	9072-5B
3 0 5	D	7165-5B
4 7 0	J	9190-5L
5 1 0	K	7530-5L

審査請求 未請求 請求項の数 1 (全6頁)

⑮ 発明の名称 フォールト・トレラント・コンピュータ

⑯ 特 願 平2-172216

⑰ 出 願 平2(1990)6月29日

⑱ 発 明 者 飯 嶋 希 望 東京都港区芝5丁目7番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

フォールト・トレラント・コンピュータ

2. 特許請求の範囲

命令を実行する通常モードマイクロプロセッサとこの通常モードマイクロプロセッサの動作を監視する監視モードマイクロプロセッサ及び、前記監視モードマイクロプロセッサにより、動作の不一致が検出された場合、不一致検出信号を入力し、両マイクロプロセッサの動作を停止させる凍結信号を出力する外部回路を有するフォールト・トレラント・コンピュータにおいて、データ・リード・サイクル時に、マイクロプロセッサに供給されるクロックに同期してデータを取り込むラッチ回路と、このクロックには非同期にデータを取り込むバッファ回路を有し、システム検査時には、データを前記クロックには非同期にバッファを取り込むことにより、故意に両マイクロプロセッサ

の動作の不一致を発生させ、前記監視モードマイクロプロセッサの監視機能が正常に動作していることを検証可能とすることを特徴とするフォールト・トレラント・コンピュータ。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、フォールト・トレラント・コンピュータに関し、特に、制御回路の二重化チェック機能を有するフォールト・トレラント・コンピュータに関する。

〔従来の技術〕

従来のフォールト・トレラント・コンピュータは、第5図に示すように、命令をメモリから取り出し、実行する通常モードCPU51と、アドレスバス、データバス、制御信号を監視するCPU52と、監視モードCPUからの不一致検出信号を入力し、両CPUの動作を停止させるCPU凍結信号を出力する外部回路53を有している。

次に動作について説明すると、通常モードCPU

U51は、メモリから命令を取り出し実行する。監視モードCPU52は、各バス・サイクル毎に通常モードCPU51が出力するアドレス・バス、制御信号及びデータ・バス上のデータを内部状態と比較して、不一致が生じた場合は、不一致検出信号を出力する。外部回路53は、この不一致検出信号を入力し、CPUが誤動作する前に、CPU凍結信号を出力し、両CPUを停止させる。〔発明が解決しようとする課題〕

この従来のフォールト・トレラント・コンピュータでは、監視モードCPUの監視機能が、正常に動作していることを確認することが通常モードCPUと監視モードCPUの動作の不一致を故意に発生させる手段がないために困難であった。また、監視機能が正常に動作している場合でも、データバス上に、リードサイクル中にもデータを変化させるI/Oを直結することは、CPUのデータセットアップ時間を満足しない場合があるので、できず、ハードウェア設計及びソフトウェア設計に著しく制限が加わるという問題点が

- 3 -

を内部状態と比較して、不一致を検出した場合は、不一致検出信号を出力する。外部回路13は、不一致検出信号を入力し、通常モードCPU11、監視モードCPU12に対し、CPUの動作を停止させるCPU凍結信号または、割り込み信号を出力する。ラッチ回路14は、I/Oリードサイクル時に、I/O16からのデータをCPU逆相クロックに同期して取り込み、通常モードCPU11と監視モードCPU12の両方に伝達する。バッファ回路15は、メモリライトサイクル時、及びI/Oライトサイクル時に通常モードCPU11が出力するデータをメモリ17、I/O16に伝達し、メモリリードサイクル時には、メモリ17からのデータを通常モードCPU11と監視モードCPU12の両方に伝達する。

次に第1図の回路の動作について、第2図、第3図の波形図第4図のプログラム・フローチャートにもとづいて説明する。第2図は、第1図における通常モードCPU11のリードサイクル時の一動作例の波形図であるが、通常モードCPU11

- 5 -

あった。

〔課題を解決するための手段〕

本発明のフォールト・トレラント・コンピュータは、命令を実行する通常モードCPUとこの通常モードCPUの動作を監視する監視モードCPUと、前記監視モードCPUにより、動作の不一致が検出された場合、不一致検出信号を入力し、両CPUの動作を停止させる凍結信号を出力する外部回路とを有する従来技術フォールト・トレラント・コンピュータに加えデータ・リード・サイクル時に、データをCPUに供給されるクロックに同期して取り込むラッチ回路と、システム検査時に、データをCPUに供給されるクロックに非同期に取り込むバッファ回路とを有している。

〔実施例〕

次に本発明について図面を参照して説明する。第1図は、本発明の一実施例のブロック構成図である。同じ通常モードCPU11は、メモリ17から命令を取り出し、実行する。監視モードCPU12は、アドレスバス、データバス、制御信号

4-

はCPUクロックに同期して動作し、T1にて、サイクルを開始し、T2を経て、TWにてレディ信号を認識し、その時のデータを読み込んで、サイクルを終了する。監視モードCPU12も、内部的にこれと同じ動作をする。このデータを読み込む時間軸上の点をデータサンプルポイントと呼ぶ。通常モードCPU11及び監視モードCPU12には、半導体デバイスの特性上、このデータサンプルポイントに対して、固有のデータセットアップ時間が必要である。すなわち、データはデータサンプルポイントよりデータセットアップ時間以前に確定していないと、通常モードCPU11及び監視モードCPU12の動作は保証されない。

通常、応答の遅いI/O、メモリをリードアクセスする場合ウェイトを挿入し、データが確定後に通常モードCPU11、監視モードCPU12が読み込むようにするので、データバスラインには、バッファ回路15のみあれば十分のように思えるが、以下にその例外を示す。第3図は、一般

- 6 -

的 I/O のデータリードタイミング波形図である。第 3 図において、データ確定期間中にデータの変化が起きなければ、上述したようにデータバスラインには、バッファ回路 15 のみあれば十分であるが、I/O の中には、データ確定期間中にもデータを変化させてしまうものが、数多く存在する。その場合、データの変化点が第 2 図におけるデータサンプルポイントに対するデータセットアップ時間未満であると、通常モード CPU 11 と監視モード CPU 12 に故障がなくとも動作の不一致が生じる場合がある。

第 4 図にこのような I/O を使用した場合に容易に CPU 不一致動作の生じるプログラムフローチャートを示す。この I/O の場合、一度コマンドを受け付けてから、次のコマンドを受け付けることが可能か否かの情報を I/O リードサイクル時のデータラインに乗せるが、受け付け可能になりしだいその情報を変化させるので、I/O リードサイクル中にも、データの更新が発生する。従って連続してコマンド要求のあった場合、次コ

7-

できる。

〔発明の効果〕

以上説明したように本発明は、データバスラインにクロックに同期してデータを取り込むラッチ回路と、クロックに非同期に伝達するバッファ回路を設け、通常運用状態では、I/O リードサイクル時には、ラッチ回路を選択し、メモリリード、ライトサイクル時、I/O ライトサイクル時には、バッファ回路を選択することにより、リードサイクル中にもデータを変化させる I/O を使用でき、ハードウェア設計を容易にするという効果を有する。また、システム検査時には、I/O リードサイクル時においても、バッファ回路を使用することにより、監視モード CPU の監視機能が正常に動作していることの検証が容易に実行できるという効果を有する。

4. 図面の簡単な説明

第 1 図は本発明の一実施例のブロック構成図、第 2 図は、第 1 図に示した通常モード CPU 11

マンド受け付け可能を示すデータが、第 2 図におけるデータサンプルポイントに対してデータセットアップ時間未満に変化すると、通常モード CPU 11 は、この I/O が次コマンド受け付け可能と認識したが、監視モード CPU 12 は、この I/O が次コマンド受け付け不可能であると認識する場合もある。この場合両 CPU の条件分岐先は異なり、監視モード CPU 12 により不一致が検出される。

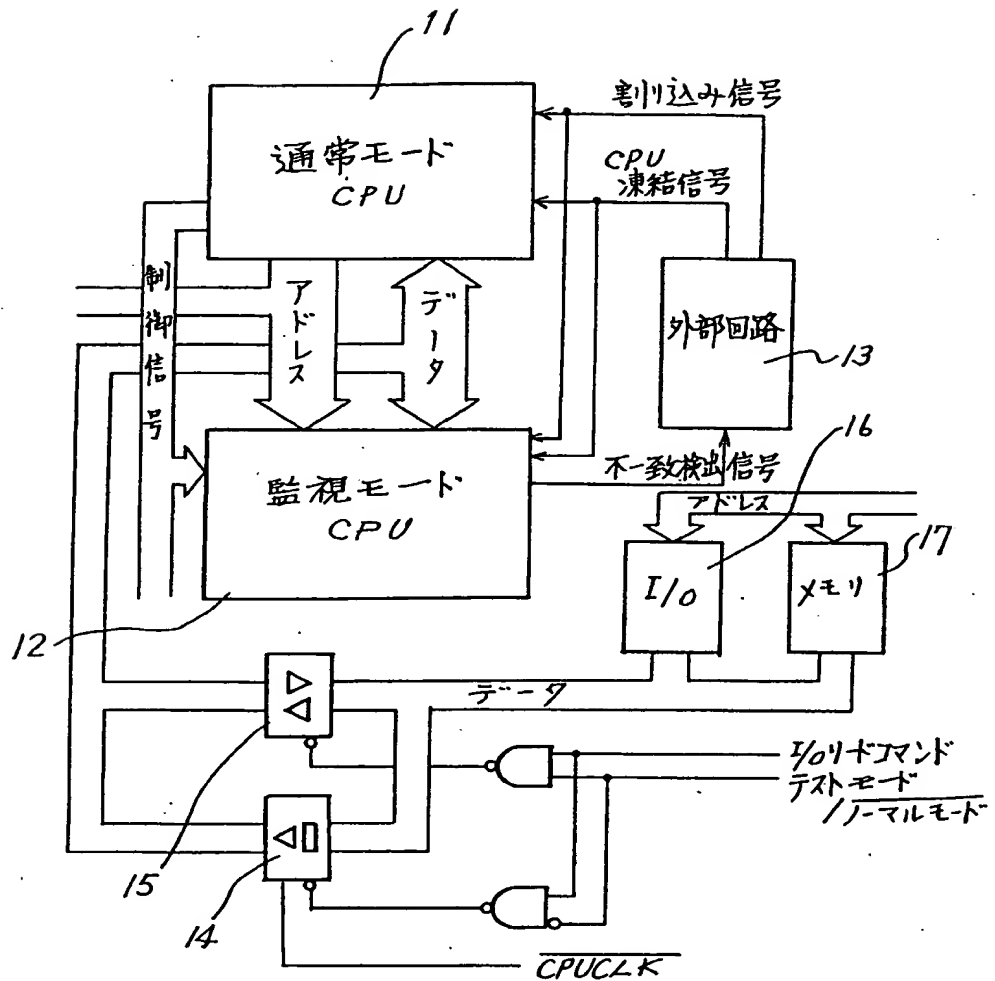
従って、これを避けるためには、第 1 図におけるラッチ回路 14 が必要となる。このラッチ回路 14 は、CPU クロックの逆相クロックの立上りエッジでデータを取り込むので、たとえ I/O 16 がリードサイクル中にデータを変化させても、通常モード CPU 11 と監視モード CPU 12 のデータセットアップ時間は満足させられる。また、システム検査時には、I/O リードサイクルにおいて、あえてバッファ回路 15 を使用することにより、不一致が検出できれば、監視モード CPU 12 の監視機能が正常に動作していることが検証

8-

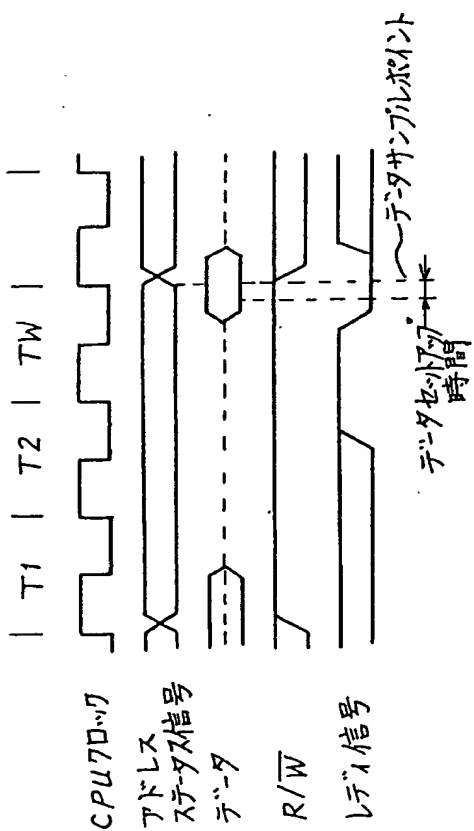
のリードサイクルタイミング波形図、第 3 図は、一般的 I/O のリードサイクルタイミング波形図、第 4 図は、データリードサイクル中にもデータを変化させる I/O を使用した場合、第 1 図に示した監視モード CPU 12 で容易に不一致が検出できるプログラムフローチャート、第 5 図は、従来のフォールトトレラントコンピュータのブロック構成図である。

11……通常モード CPU、12……監視モード CPU、13……外部回路、14……ラッチ回路、15……バッファ回路、16……I/O、17……メモリ、51……通常モード CPU、52……監視モード CPU、53……外部回路。

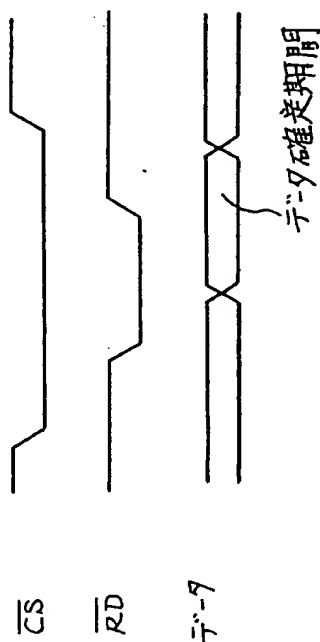
代理人 弁理士 内 原 晋



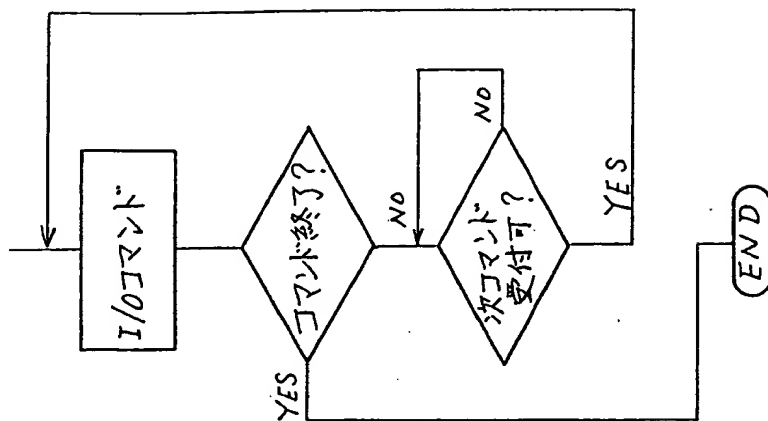
第 1 図



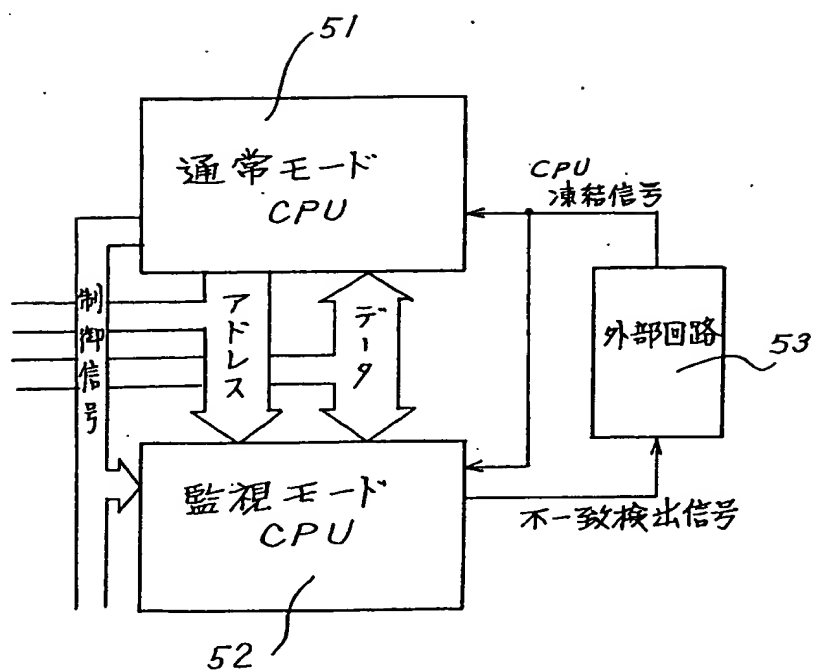
第 2 図



第 3 図



第 4 図



第 5 図